



P C B S i m u l a c e – S i g n a l I n t e g r i t y

David KUŘÁTKO, SIMULIA SUPPORT & PRE-SALES

5-6-7/11/2025

 CONFIDENTIAL

OBSAH

1. Úvod

- PCB Simulace – co je možné simulovat?
- Popis příkladu

2. Příklad: Základní deska

- SI-TD: Workflow I v PCB Studiu
 - Import DPS
 - Definování komponentů
 - Nastavení SI simulace
 - Výsledky
- SI-TD: Workflow II – Eye Diagram Tool
 - Nastavení Post-processingu
 - Výsledky
 - Přejít do 3D

4. Závěr



ÚVOD

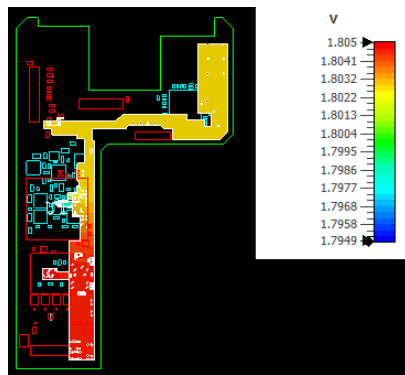
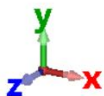
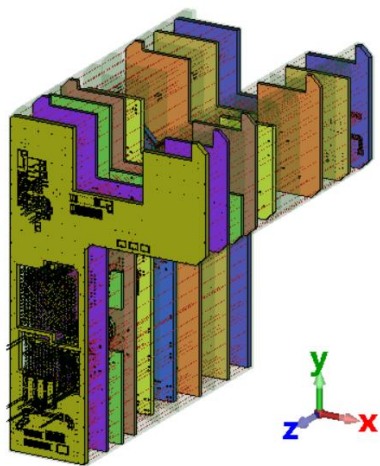
PCB SIMULACE – CO JE MOŽNÉ SIMULOVAT?

Layout Import

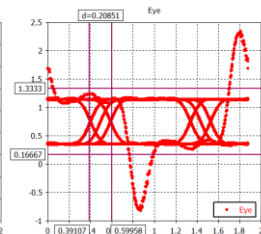
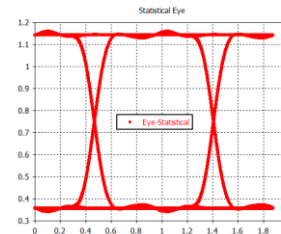
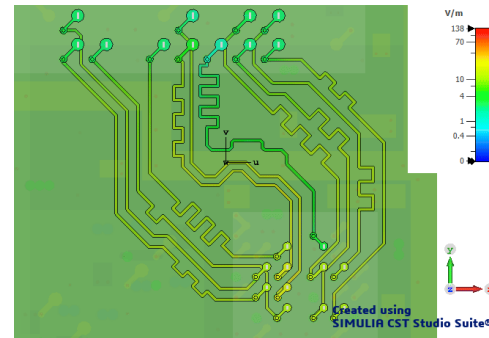
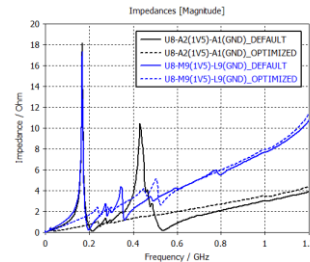
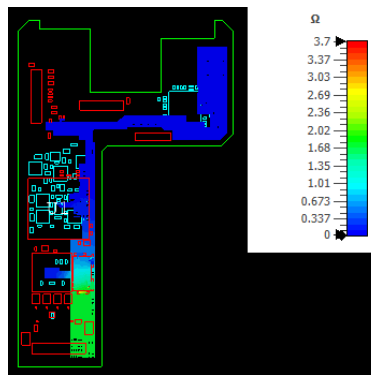
IR Drop

PI & Decap
optimization

SI & Jitter
testing



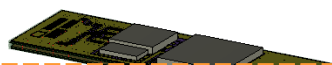
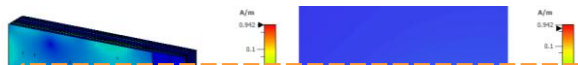
Drop at Ground Pin[V]	Currents[A]	Nominal Voltages[V]	Tolerance[%]	Fall/Pass
0.0	0.605308	3.3	1.0	
0.0000185	0.594692	3.3	1.0	
0.0056488	-0.1	1.5	1.0	
0.0054188	-0.1	1.5	1.0	
0.0056488	-0.1	1.5	1.0	
0.0054336	-0.1	1.5	1.0	
0.0056067	-0.15	1.5	1.0	
0.0060185	-0.65	1.5	1.0	
0.0	-0.65	1.5	1.0	
0.0	-0.65	1.5	1.0	





ÚVOD

PCB SIMULACE – CO JE MOŽNÉ SIMULOVAT?



Computer Controls s.r.o.

@altiumczsk · 308 odběratelů · 56 videí

EDA tools and software ...více

edatools.cz

Odebíráno



+  **SIMULIA**

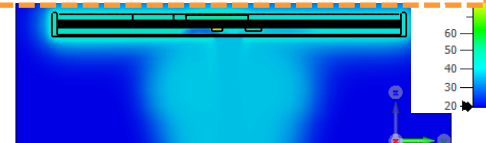
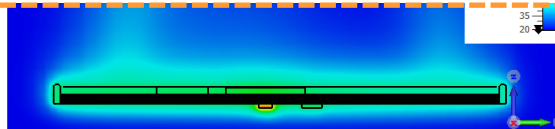
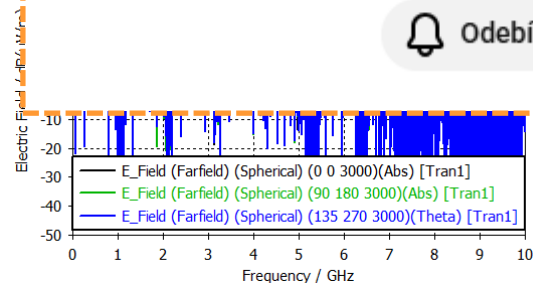


Simulace DPS
Dassault Simulia/CST

1:39:12

Simulace DPS - Dassault Simulia/CST

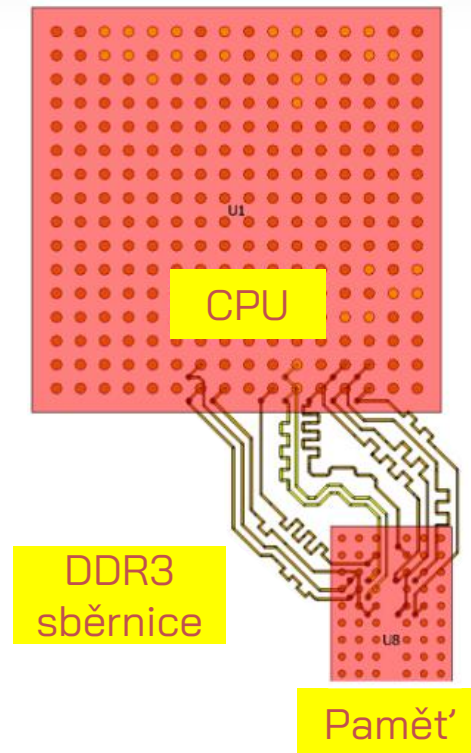
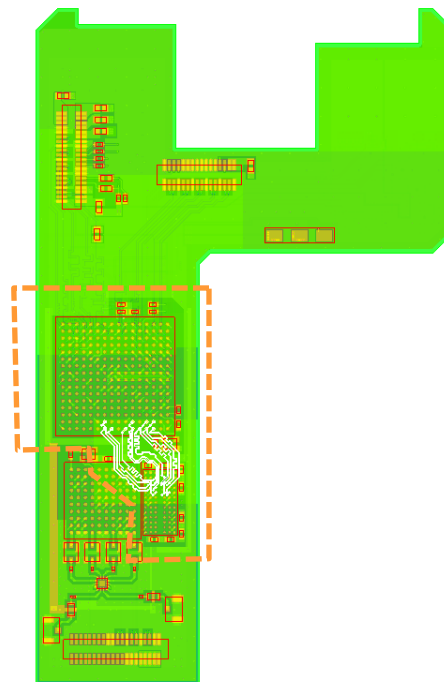
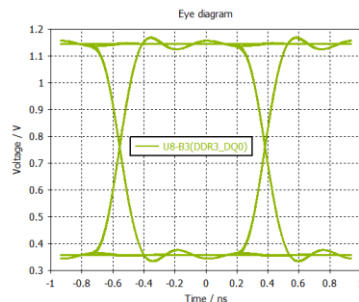
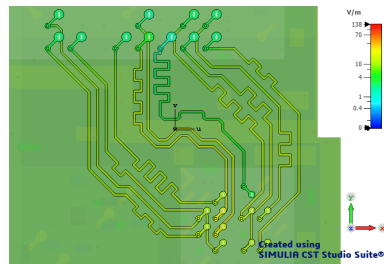
296 zhlédnutí · před 11 měsíci



ÚVOD

POPIS PŘÍKLADU

1. CPU může paralelně zapisovat 8 bitů do paměti (zápis)
2. Paměť může posílat 8 bitů do CPU (čtení)
3. DDR3 sběrnice se skládá:
 - 8 datových cest (DDR3_DQx)
 - 1 diferenční hodiny (DDR3_DQS_N / _P)
 - Délka / šířka cest $\approx 15 / 0.1$ mm
- PCB (SI), Eye Diagram Tool (PP)



OBSAH

1. Úvod

- PCB Simulace – co je možné simulovat?
- Popis příkladu

2. Příklad: Základní deska

- SI-TD: Workflow I v PCB Studiu
 - Import DPS
 - Definování komponentů
 - Nastavení SI simulace
 - Výsledky
- SI-TD: Workflow II – Eye Diagram Tool
 - Nastavení Post-processingu
 - Výsledky
 - Přechod do 3D

4. Závěr

ZÁKLADNÍ DESKA

SI-TD: WORKFLOW I v PCB STUDIU

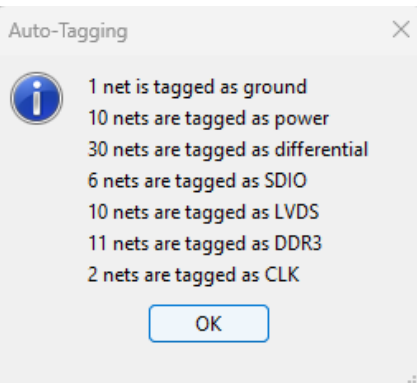
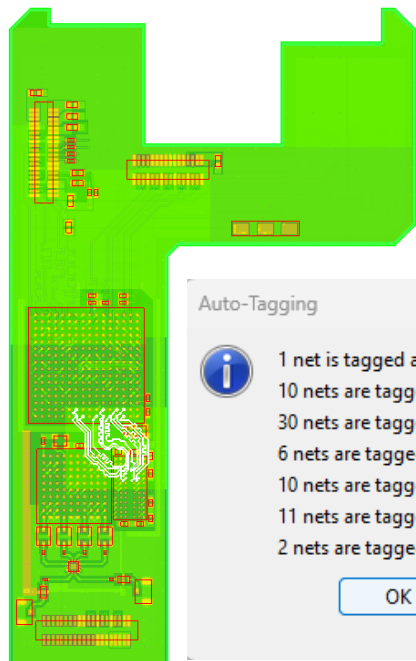
1. Import DPS,
definování cest



2. Definování
komponentů

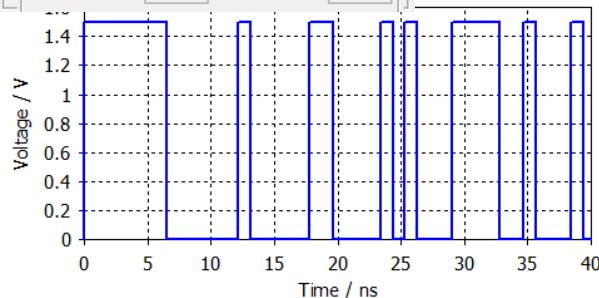
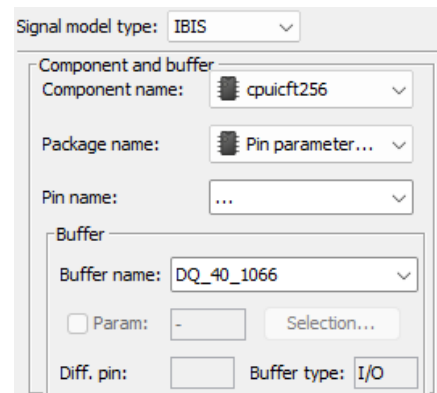


3. Nastavení SI
(signály, buffer)



Pin	Model
U1-R7	DQ_40_1066 [R7 - I/O]
U1-R7	DQ_40_1066 [R7 - I/O]
U1-R11	DQS_40_1066 [T11 -> R11 - I/O]
U1-R13	DQ_40_1066 [R13 - I/O]
U1-R14	DQ_40_1066 [R14 - I/O]
U1-T7	DQ_40_1066 [T7 - I/O]
U1-T8	DQ_40_1066 [T8 - I/O]
U1-T10	DQ_40_1066 [T10 - I/O]
U1-T11	
U1-T12	
U1-T13	
U1-T14	

Pin	Model
U8-B3	DQ_40_1066 [B3 - I/O]
U8-B7	DM_INPUT_1066 [B7 - Input]
U8-C2	DQ_40_1066 [C2 - I/O]
U8-C3	DQS_40_1066 [C3 -> D3 - I/O]
U8-C7	DQ_40_1066 [C7 - I/O]
U8-C8	DQ_40_1066 [C8 - I/O]
U8-D2	DQ_40_1066 [D2 - I/O]
U8-D3	DQS_40_1066 [C3 -> D3 - I/O]
U8-E3	DQ_40_1066 [E3 - I/O]
U8-E7	DQ_40_1066 [E7 - I/O]
U8-E8	DQ_40_1066 [E8 - I/O]



ZÁKLADNÍ DESKA

SI-TD: WORKFLOW I V PCB STUDIU

1. PCB Studio, Import, Definování cest

Modules and Tools



3D
Simulation ▾



Circuits &
Systems ▾



PCBs &
Packages



Stackup



Net
Editor



Components
▾

Components

Edit Nets



New Net...

Rename...

Auto-Tagging...

Delete

Name

Net Class

Differential
Net

Signal
Specifica

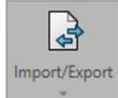
Auto-Tagging



1 net is tagged as ground
10 nets are tagged as power
30 nets are tagged as differential
6 nets are tagged as SDIO
10 nets are tagged as LVDS
11 nets are tagged as DDR3
2 nets are tagged as CLK

OK

File Home Edit View



Import

EDA Import...
View EDA Import Logfile...

Export

Export to CST MWS
Rectangular Cut
Polygonal Cut
Selected Nets
EDA Settings...

Import Layout

Import type

- ☐ Cadence (Allegro/APD/SIP) ☐ Mentor Graphics HyperLynx
☒ ODB++ ☐ SimLab PCBMod
☐ IPC-2581 ☐ CST Layout Database
☐ Zuken CR-5000/8000 ASCII

Data to be imported

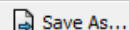
- ☒ Layout geometry (traces, areas, vias, pads, component location, footprints)
☐ Stackup data (layers, materials)
☐ Component-to-part mapping
☐ Component models

Select All

Nets Auto-Tagging



Load...



Save As...

☐ Update differential pins

Net Classes

Signal Specifications

DDR4 Signal Type

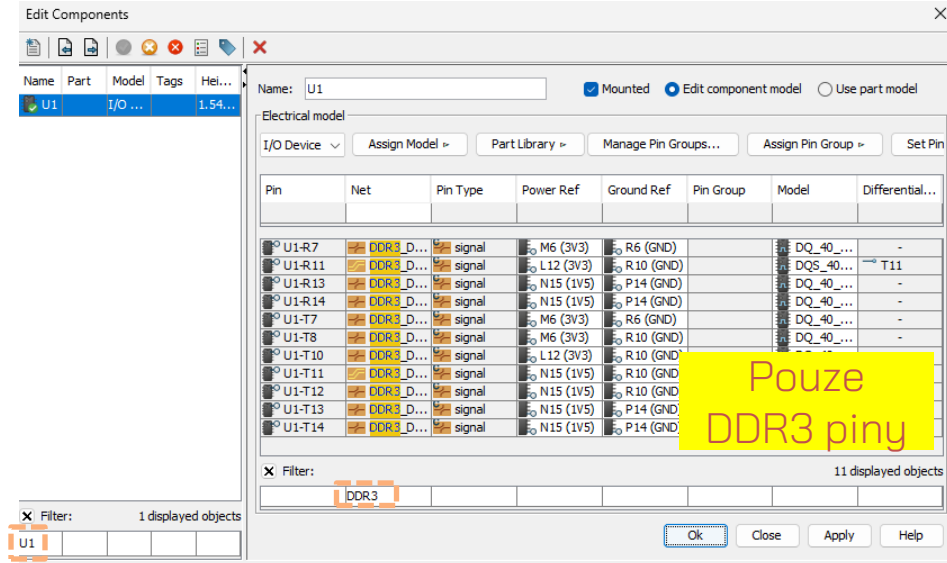
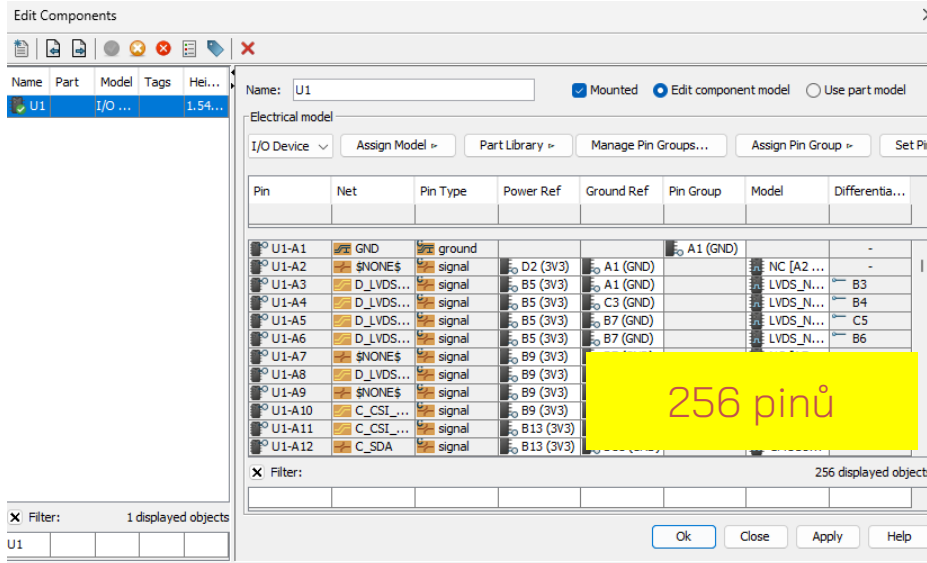
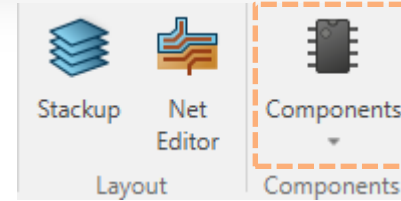
Net Classes		Net Name
<input checked="" type="checkbox"/>	ground	GND; GNDA; DGND; GROUND; VSS
<input checked="" type="checkbox"/>	power	*1V*; *3V*; +*; Batt*; *Volt*; *VCC*
<input checked="" type="checkbox"/>	differential	*_P & *_N; *_H & *_L
<input checked="" type="checkbox"/>	single-ended	<default>

ZÁKLADNÍ DESKA

SI-TD: WORKFLOW I v PCB STUDIU

2. Komponenty (CPU, paměť)

- Použití filtrů (U1/U8 + DDR3)

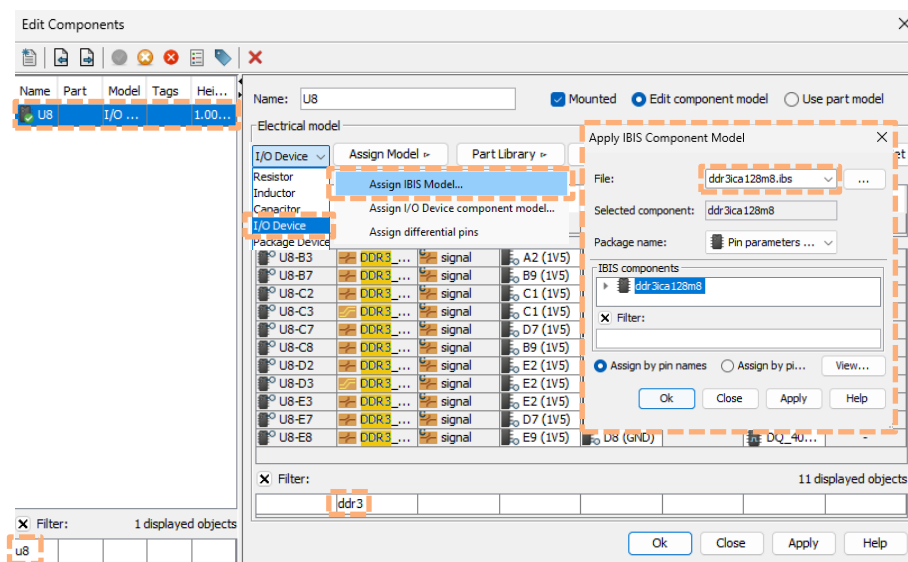
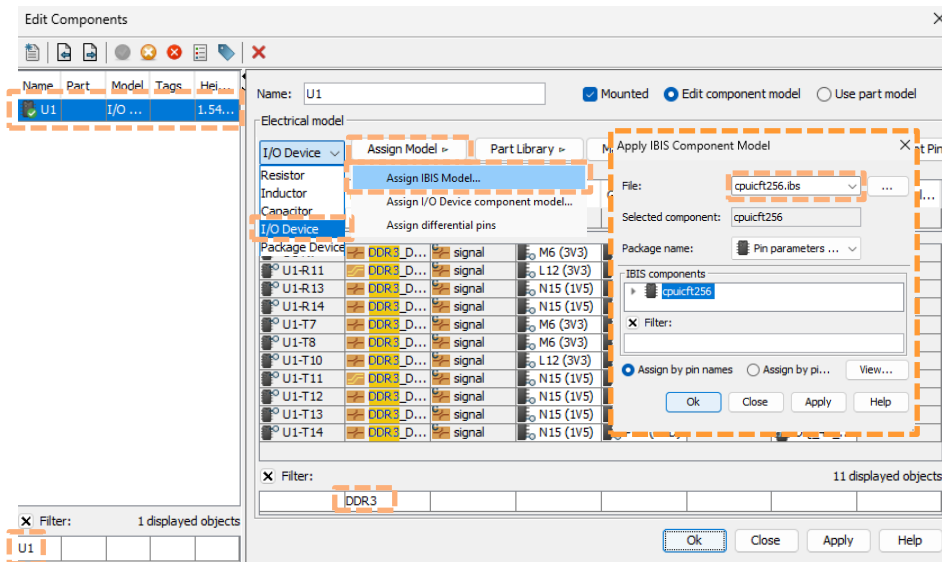
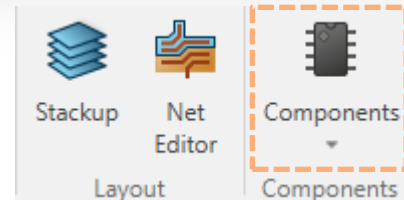


ZÁKLADNÍ DESKA

SI-TD: WORKFLOW I v PCB STUDIU

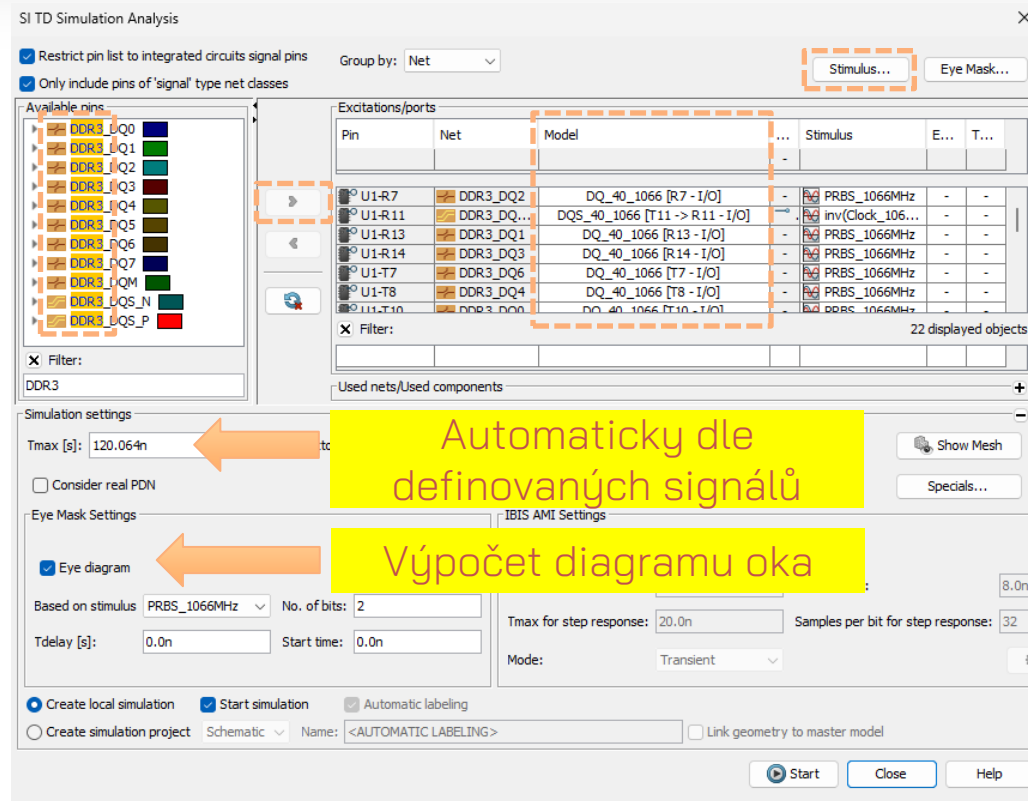
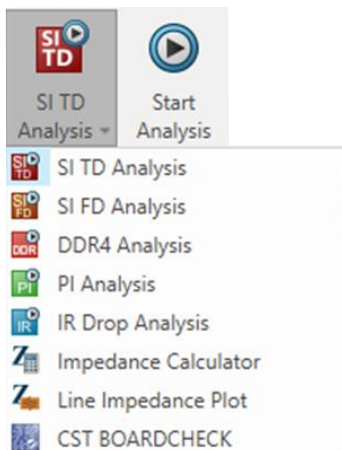
2. Komponenty (CPU, paměť)

- IBIS – popis chování jednotlivých pinů (sig. / el. vlastností)



3. Nastavení SI simulace

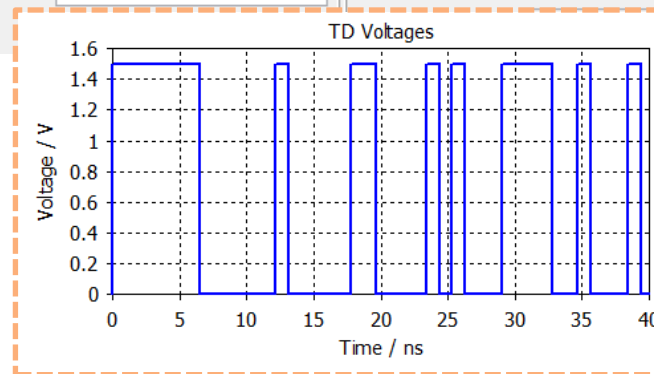
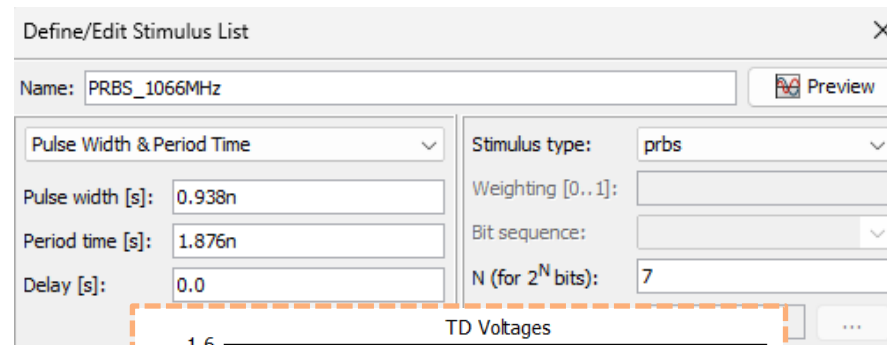
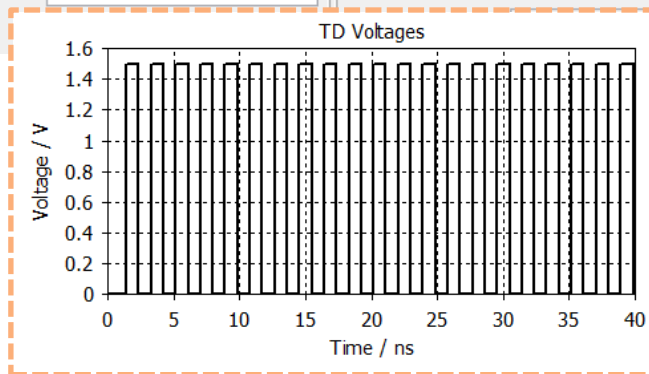
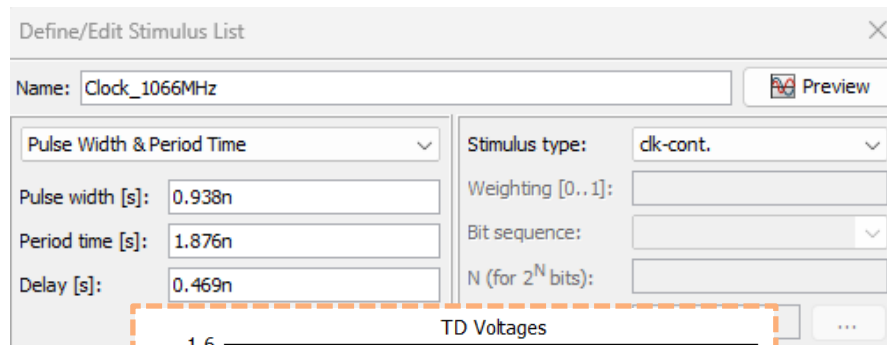
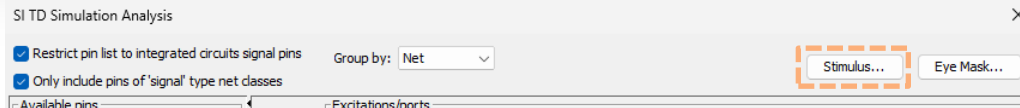
- Definování signálů (Stimulus)
- Funkce jednotlivých pinů (buffer)



ZÁKLADNÍ DESKA

SI-TD: WORKFLOW I V PCB STUDIU

3. Nastavení SI simulace: vytvoření signálů



ZÁKLADNÍ DESKA

SI-TD: WORKFLOW I V PCB STUDIU

3. Nastavení SI simulace: přiřazení signálů

- Přiřazení hodinového signálu a sekvence (PRBS) pro zápis

Excitations/ports				
Pin			Differe...	Stimulus
...			-	PRBS_10...
U1 (CPU) vysílá PRBS				
U1-T10	DDR3_DQ0	DQ_40_1066 [T10 - I/O]	-	Select...
U1-R13	DDR3_DQ1	DQ_40_1066 [R13 - I/O]	-	Clear
U1-R7	DDR3_DQ2	DQ_40_1066 [R7 - I/O]	-	PRBS_1066MHz
U1-R14	DDR3_DQ3	DQ_40_1066 [R14 - I/O]	-	PRBS_10...
U1-T8	DDR3_DQ4	DQ_40_1066 [T8 - I/O]	-	PRBS_10...
U1-T14	DDR3_DQ5	DQ_40_1066 [T14 - I/O]	-	PRBS_10...
U1-T7	DDR3_DQ6	DQ_40_1066 [T7 - I/O]	-	PRBS_10...
U1-T13	DDR3_DQ7	DQ_40_1066 [T13 - I/O]	-	PRBS_10...
U1-T12	DDR3_DQM	DM_INPUT_1066 [T12 - Input]	-	
U1-R11	DDR3_DQS_N	DQS_40_1066 [T11 -> R11 - I/O]	U1-T11	inv(Clock...
U1-T11	DDR3_DQS_P	DQS_40_1066 [T11 -> R11 - I/O]	U1-R11	Clock_10...

Select Stimulus									
Stimulus list									
Name	Type	Perio...	Pulse ...	Weig...	Bit Se...	Dela...	N	AS...	
Clock	clk-cont.	20.0n	10.0n			0.0			
Clock_1066MHz	clk-cont.	1.876n	0.938n			0.469n			
DDR_Read	sequence	20.0n	10.0n		zzz...	0.0			
DDR_Write	sequence	20.0n	10.0n		101...	0.0			
PRBS_1066MHz	prbs	1.876n	0.938n			0.0	7		
Quiet	sequence	20.0n	10.0n		z	0.0			
Transmission_Rate	clk-cont.	0.2n	0.1n			0.0			

Select Stimulus									
Stimulus list									
Name	Type	Perio...	Pulse ...	Weig...	Bit Se...	Dela...	N	AS...	
Clock	clk-cont.	20.0n	10.0n			0.0			
Clock_1066MHz	clk-cont.	1.876n	0.938n			0.469n			
DDR_Read	sequence	20.0n	10.0n		zzz...	0.0			
DDR_Write	sequence	20.0n	10.0n		101...	0.0			
PRBS_1066MHz	prbs	1.876n	0.938n			0.0	7		
Quiet	sequence	20.0n	10.0n		z	0.0			
Transmission_Rate	clk-cont.	0.2n	0.1n			0.0			

ZÁKLADNÍ DESKA

SI-TD: WORKFLOW I v PCB STUDIU

3. Nastavení SI simulace: Buffer

- Nastavení U8 (paměť) jako vstupní model

Excitations/ports

U8 (paměť)
zapisuje PRBS

	Model
...	...
Edit...	...
...	...
U8-B3	DDR3_DQ0
U8-C7	DDR3_DQ1
U8-C2	DDR3_DQ2
U8-C8	DDR3_DQ3
U8-E3	DDR3_DQ4
U8-E8	DDR3_DQ5
U8-D2	DDR3_DQ6
U8-E7	DDR3_DQ7
U8-B7	DDR3_DQM
U8-D3	DDR3_DQS_N
U8-C3	DDR3_DQS_P

Signal Models

Signal model type: IBIS

File name: ddr3ica128m8.ibs Load...

Component and buffer

Component name: ddr3ica128m8

Package name: Pin parameters

Pin name: ...

Buffer

Buffer name: DQ_IN_ODT40_1066

☐ Param: DQ_IN_ODT40_1066

Diff. pin: Buffer type: Input

Corner

☐ Param: - Typical

```
*****
MODEL DQ_IN_ODT40_1066
*****
[Model]      DQ_IN_ODT40_1066
Model_type   Input
Vin1 = 575.000mV
Vinh = 925.000mV

          typ          min          max
|C_comp      1.209pF      1.117pF      1.313pF
C_comp_power_clamp 0.6045pF  0.5585pF  0.6565pF
C_comp_gnd_clamp  0.6045pF  0.5585pF  0.6565pF
| Note: C_comp changes when the ODT circuit is enabled.

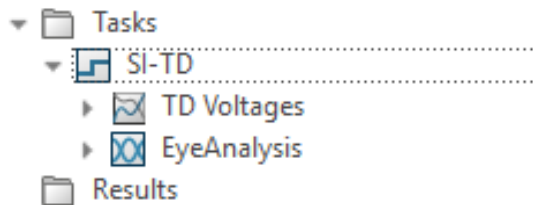
[Model Spec]
| Input threshold voltage corners
Vin1      0.5750V      0.5375V      0.6125V
Vinh      0.9250V      0.8875V      0.9625V

| Dynamic Overshoot Parameters from DDR3 Specification
|D_overshoot_ampl_h      0.40      NA      NA
|D_overshoot_ampl_l      0.40      NA      NA
|D_overshoot_area_h      0.19n      NA      NA
|D_overshoot_area_l      0.19n      NA      NA
*****
.ibs
*****
```


ZÁKLADNÍ DESKA

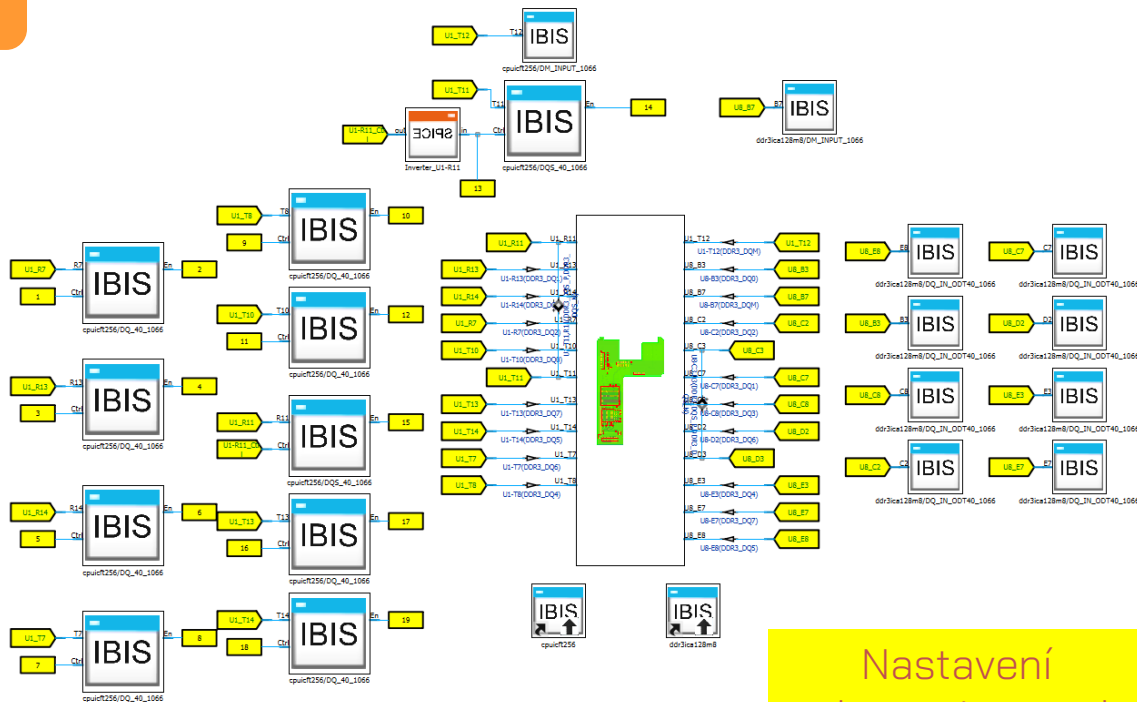
SI-TD: WORKFLOW I v PCB STUDIU

Výsledky SI simulace



Task Parameter List (SI-TD)

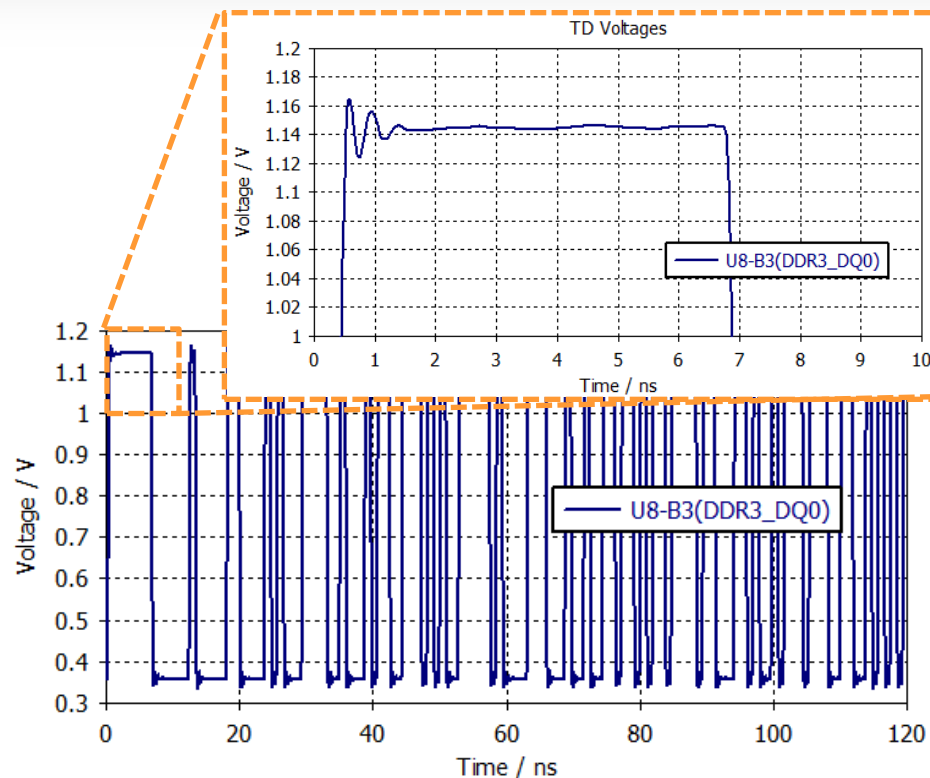
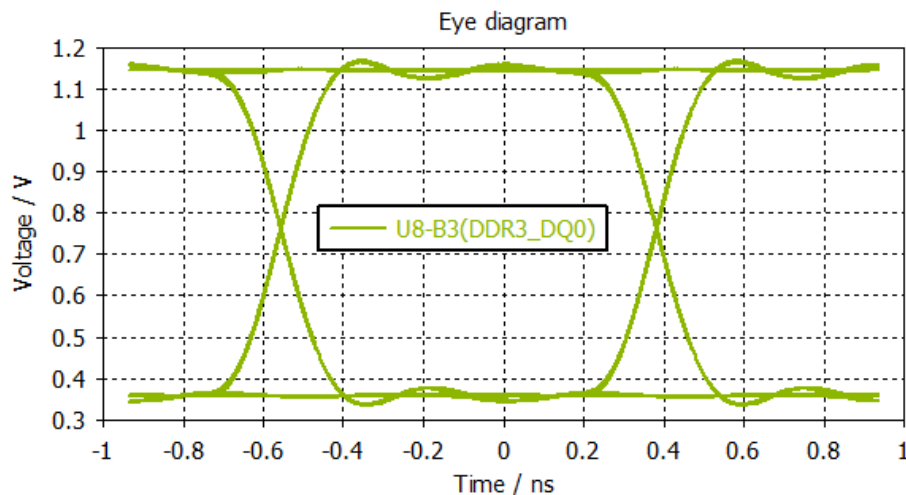
Transient	Excitations	Combine Results	Results	
Name				Unit
Calculate full S-...	<input type="checkbox"/>			
Fmin	0.0	0.0		GHz
Fmax	1.0	1.0		GHz
Sources and terminations				
✓ 1	PRBS_1066MHz	✓ Voltage	✓ V	
	Inner Resist...	0.0	0.0	Ohm
✓ 2	PRBS_1066MHz(ena	✓ Voltage	✓ V	
	Inner Resist...	0.0	0.0	Ohm
✓ 3	PRBS_1066MHz	✓ Voltage	✓ V	
	Inner Resist...	0.0	0.0	Ohm
✓ 4	PRBS_1066MHz(ena	✓ Voltage	✓ V	



Nastavení
schematic + task

Výsledky SI simulace

- Diagram oka
- Časové signály (overshoot / undershoot)



OBSAH

1. Úvod

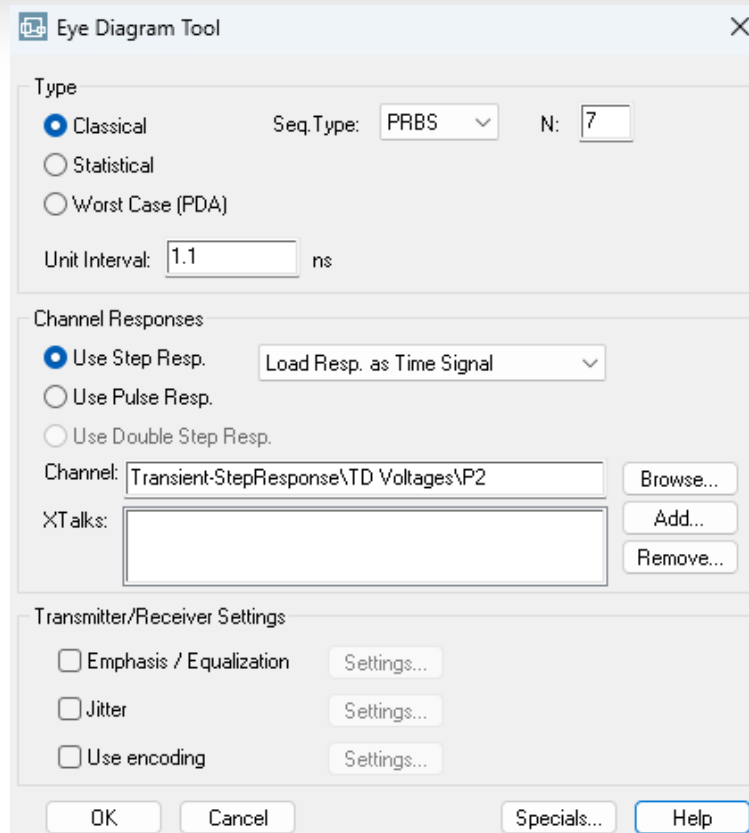
- PCB Simulace – co je možné simulovat?
- Popis příkladu

2. Příklad: Základní deska

- SI-TD: Workflow I v PCB Studiu
 - Import DPS
 - Definování komponentů
 - Nastavení SI simulace
 - Výsledky
- SI-TD: Workflow II – Eye Diagram Tool
 - Nastavení Post-processingu
 - Výsledky
 - Přechod do 3D

4. Závěr

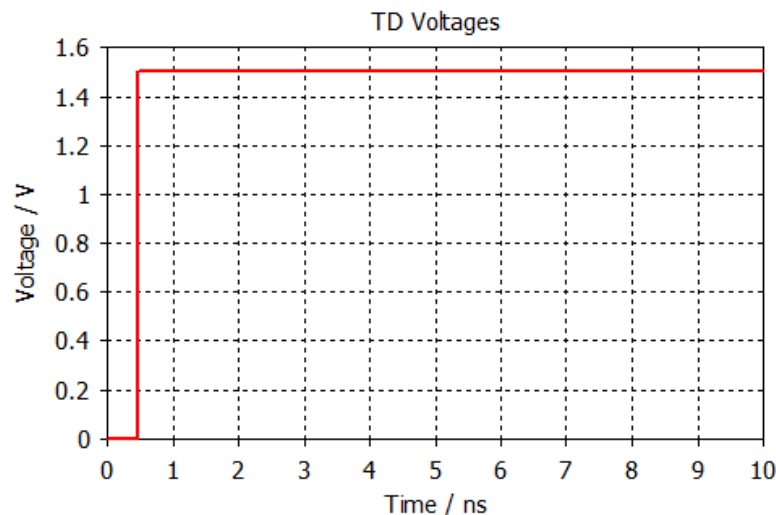
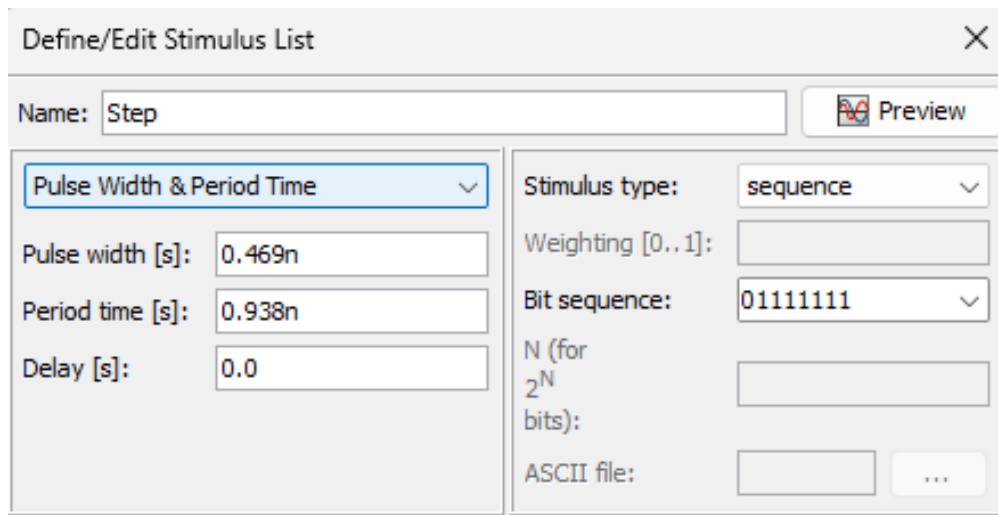
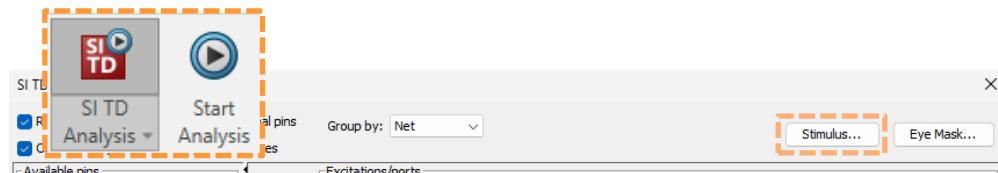
- Pokročilejší funkce pro výpočet diagramu oka:
 - Classical: odezva na vybraný signál
 - Statistical: všechny kombinace pro danou délku sekvence N.
 - Worst-case: nejhorší možná kombinace
- Lze uvažovat nastavení přijímače / vysílače:
 - Ekvalizace
 - Jitter
 - Kódování

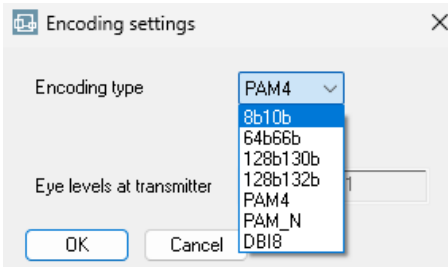
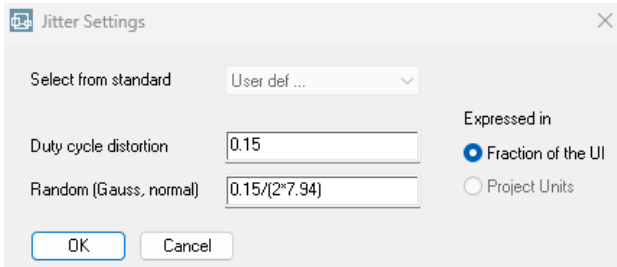
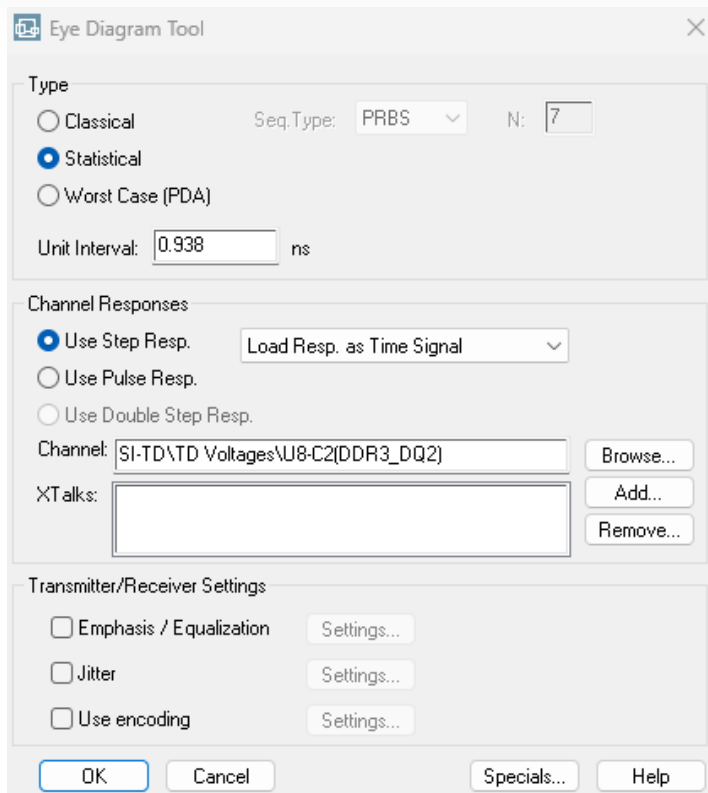
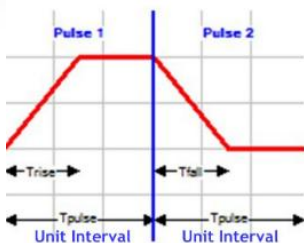
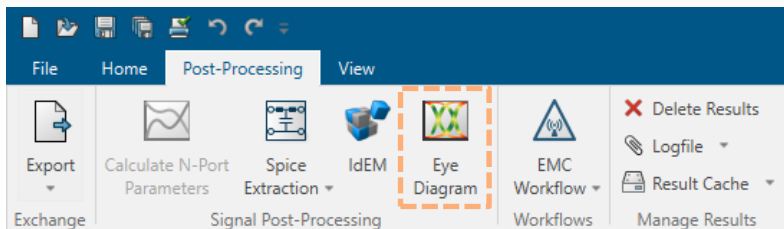


ZÁKLADNÍ DESKA

WORKFLOW II – EYE DIAGRAM TOOL

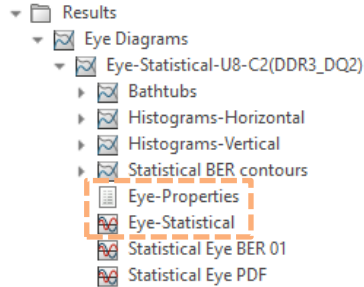
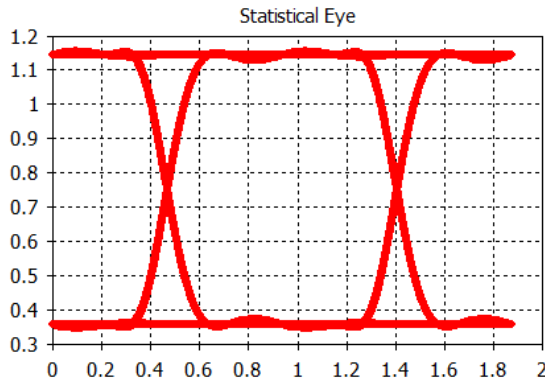
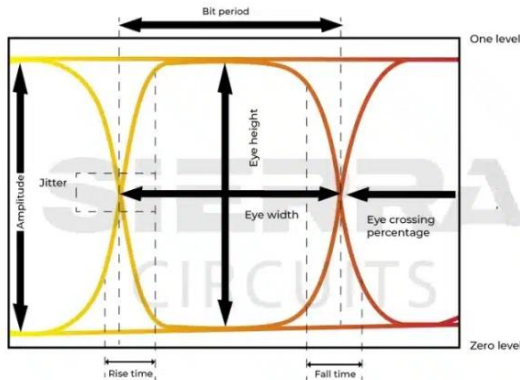
- V PCB Studiu je třeba nadefinovat nástupnou hranu nebo pulz





- Unit interval = $t_{\text{pulse}} = t_{\text{rise}} + t_{\text{hold}} = t_{\text{fall}} + t_{\text{hold}}$
- Ekvalizace: Dig LFE (Tx), CTLE & DFE (Rx)
- Xtalks

- Eye diagram – změna signálu v čase
vzhledem k hodinovému signálu:
- Šířka oka → časování (jiter)
- Výška oka → amplituda (šum)



Results\Eye Diagrams\Eye-Statistical-U8-C2(DDR3_DQ2)\Eye-Properties

```

Settings:
=====
Rise / fall / total bit length: 0.2345 / 0.2345 / 0.938
Levels:      0.000000      1.000000E+00
Statistical.      Wrap period: 2

Eye diagram properties:
=====

Eye delay =      6.287394E-312

Eye Crossing Time 1 =      4.696183E-01      StdDev =      3.019604E-03
Eye Crossing Ampl 1 =      7.511753E-01
Eye Crossing Time 2 =      1.408068E+00      StdDev =      3.019604E-03
Eye Crossing Ampl 2 =      7.511753E-01
Eye Crossing Percentage =      50.021742      %

Eye Width =      9.281169E-01
Eye Width (3Sigma) =      9.203316E-01
Jitter - PP =      1.078161E-02
Jitter - RMS =      3.019604E-03

Eye Level 0 =      3.578774E-01      StdDev =      5.897134E-03
Eye Level 1 =      1.144131E+00      StdDev =      5.896354E-03

Eye Amplitude =      7.862540E-01
Eye Height =      7.556931E-01
Eye Height (3Sigma) =      7.508735E-01
Eye S/N =      6.666848E+01
Noise - PP =      2.638836E-02
Noise - RMS =      5.896744E-03

```

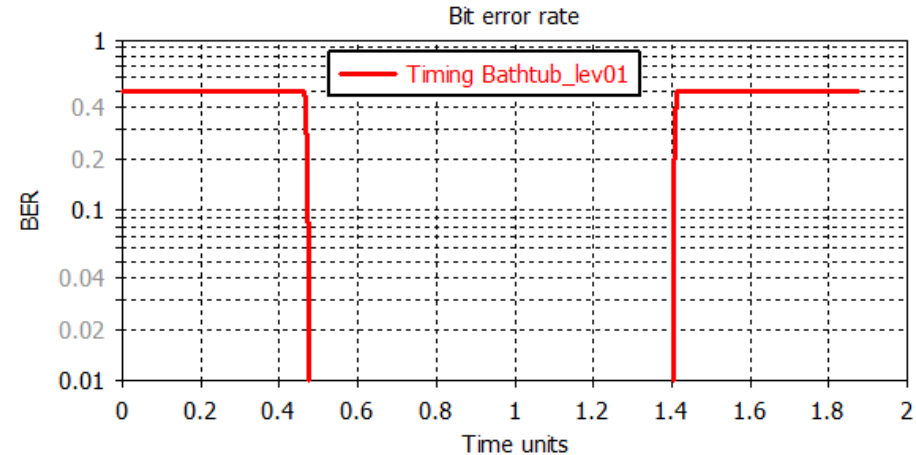
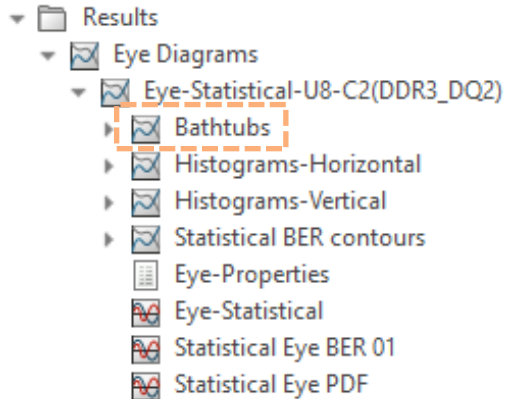
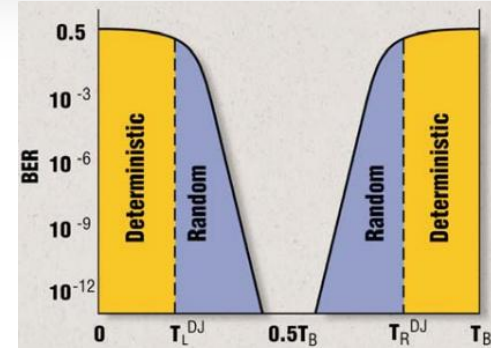
Find

☐ Match case

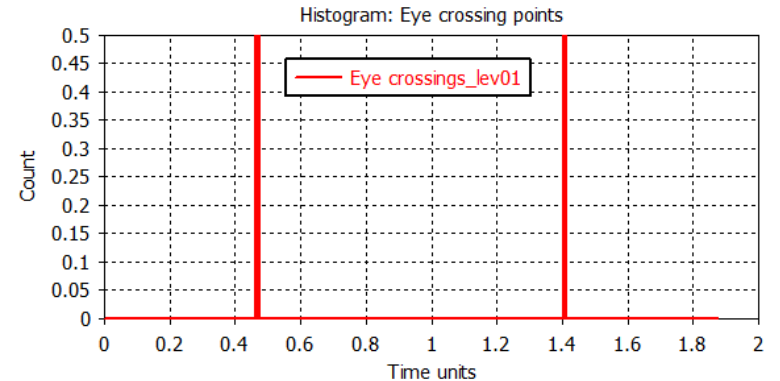
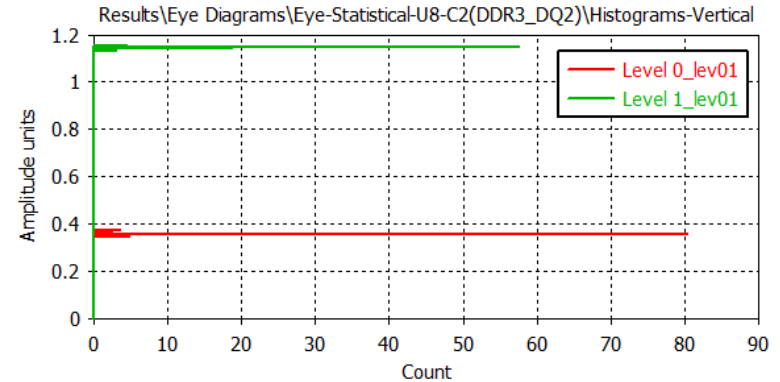
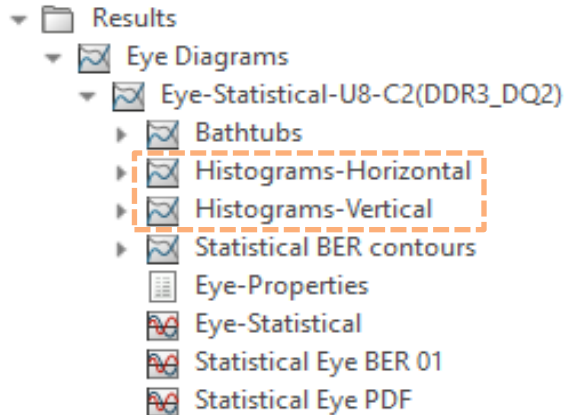
Print...

OK

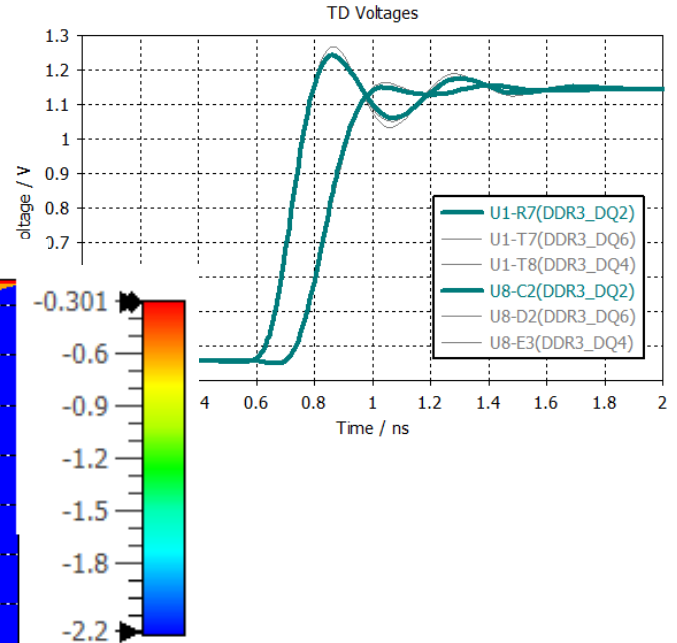
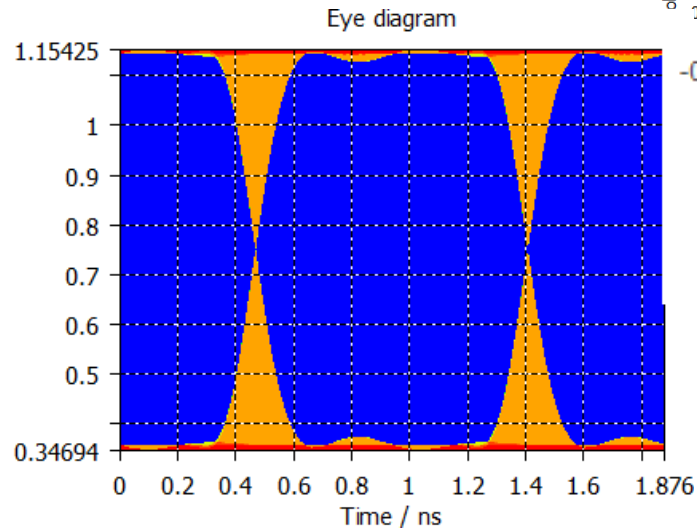
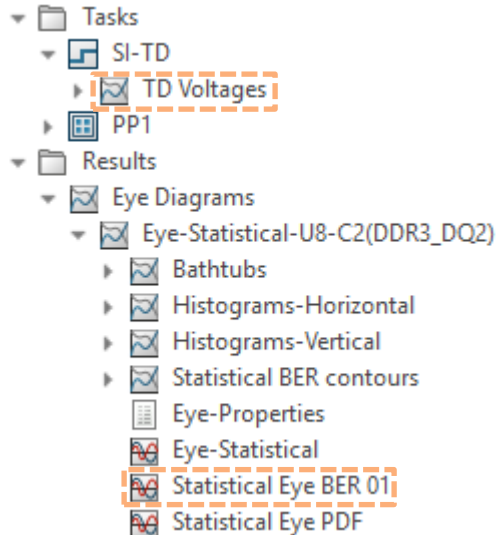
- Bathtub:
 - Oblast (oko), kde lze vzorkovat s nízkou chybovostí.
 - BER = 0.5 (50%) → pravděpodobnost k detekci 0 i 1
 - Analýza jitterů (deterministic / random)



- Horizontální a vertikální histogramy:
 - Horizontální – statistická informace o jitrech
 - Vertikální – statistická informace o prahových hodnotách napětí V_L a V_H .



- Časové signály → overshoot, undershoot, časování
- Statistické oko (BER, PDF)



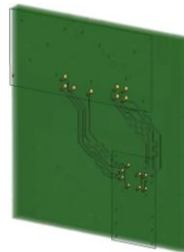
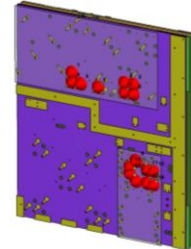
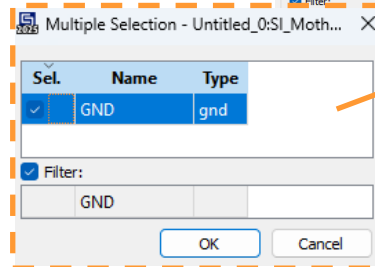
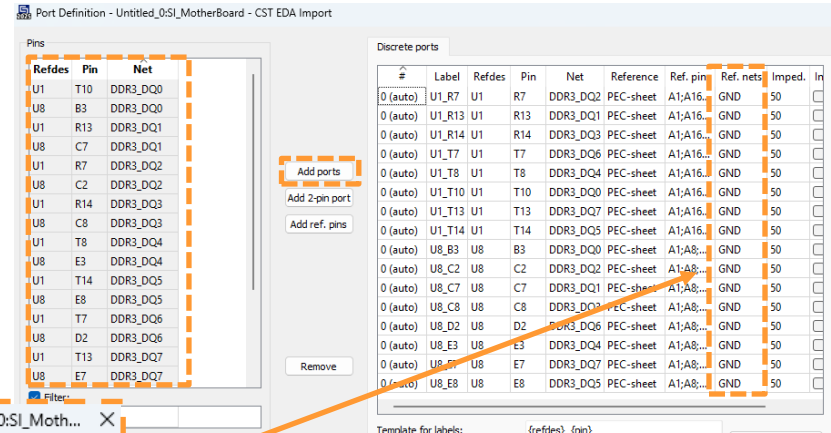
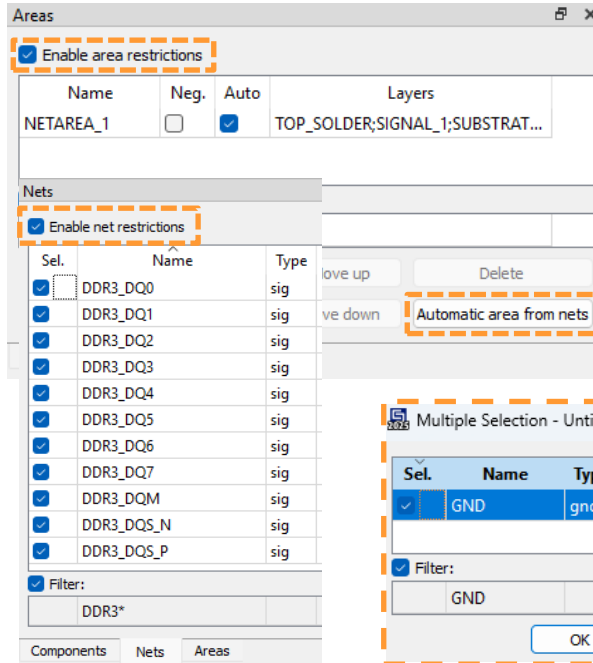
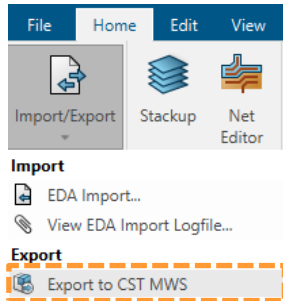
ZÁKLADNÍ DESKA

PŘECHOD DO 3D

1. Export v PCB
Studios

2. Výběr
požadovaných cest

3. Nastavení portů



1. Úvod

- PCB Simulace – co je možné simulovat?
- Popis příkladu

2. Příklad: Základní deska

- SI-TD: Workflow I v PCB Studiu
 - Import DPS
 - Definování komponentů
 - Nastavení SI simulace
 - Výsledky
- SI-TD: Workflow II – Eye Diagram Tool
 - Nastavení Post-processingu
 - Výsledky
 - Přechod do 3D

4. Závěr

- CST nabízí rozsáhlé portfolio solverů pro simulaci multifyzikálních problémů DPS.
- Import layoutu v offline i online variantě (3DX).
- Unikátní meshování – robustní hexahedrální (TLM) a tetrahedrální mesh.
- Jednoduše použitelné a uživatelsky přívětivé GUI.
- Možnosti akcelerace (CPU, GPU, MPI, DC).

